

## Family list

7 family members for: JP11261076

Derived from 6 applications

[Back to JP11261076](#)

- 1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** YAMAZAKI SHUNPEI; FUKUNAGA KENJI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L21/336; H01L29/786; H01L21/02 (+3)  
**Publication info:** JP11177105 A - 1999-07-02
- 2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** OTANI HISASHI; ADACHI HIROKI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L23/52; H01L21/3205; H01L29/786 (+5)  
**Publication info:** JP11261074 A - 1999-09-24
- 3 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L29/786; H01L21/336; H01L29/66 (+3)  
**Publication info:** JP11261075 A - 1999-09-24
- 4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** FUJIMOTO ETSUKO; OTANI HISASHI; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L29/786; H01L21/336; H01L29/66 (+3)  
**Publication info:** JP11261076 A - 1999-09-24
- 5 Semiconductor device and method of manufacturing the semiconductor device**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+6)  
**Publication info:** US6369410 B1 - 2002-04-09
- 6 Semiconductor device and method of manufacturing the semiconductor device**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+4) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/336D2B; H01L29/45S2; (+2) **IPC:** H01L21/336; H01L29/45; H01L29/49 (+5)  
**Publication info:** US6613614 B2 - 2003-09-02  
US2002096681 A1 - 2002-07-25

Data supplied from the esp@cenet database - Worldwide

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication number: JP11261076

Publication date: 1999-09-24

Inventor: FUJIMOTO ETSUKO; OTANI HISASHI; YAMAZAKI SHUNPEI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- International: H01L29/786; H01L21/336; H01L29/66; H01L21/02; (IPC-1-7):  
H01L29/786; H01L21/336

- European:

Application number: JP19980082949 19980313

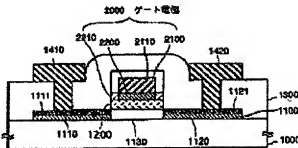
Priority number(s): JP19980082949 19980313

Report a data error here

## Abstract of JP11261076

**PROBLEM TO BE SOLVED:** To provide an insulated gate transistor which is capable of operating at a high speed, by a method wherein a gate electrode and a gate wiring are formed of aluminum material so as to be lessened in resistance, and a silicide layer is formed on the surfaces of source/drain regions so as to lessen the source/drain regions in sheet resistance.

**SOLUTION:** A gate electrode 2000 is equipped with a laminated conductive film composed of a metal layer 2110 which is formed to come into contact with a gate insulating film 1300 and an aluminum layer 2200, and the laminated conductive films are equipped with a metal layer formed on the side of the metal layer 2100 and an alumina layer formed on the surface of the aluminum layer 2200 by anodizing. By this constitution, the laminated conductive films are each covered with anodic oxide layers 2110 and 2210. The metal layer 2110 is formed of metal material whose melting point is higher than that of aluminum, so that the metal layer 2110 functions as a barrier layer to prevent aluminum from diffusing into the gate insulating film 1300. Therefore, a heat treatment can be carried out at temperatures of 500 to 650 deg.C after the gate electrode 2000 is formed, so that silicide layers 1111 and 1121 can be formed through a silicide process.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/786  
21/336

H 0 1 L 29/78

6 1 7 L  
6 1 6 S  
6 1 6 U  
6 1 6 V  
6 1 6 J

審査請求 未請求 請求項の数13 F D (全 18 頁) 最終頁に続く

(21) 出願番号 特願平10-82949

(22) 出願日 平成10年(1998) 3月13日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 藤本 悦子

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平

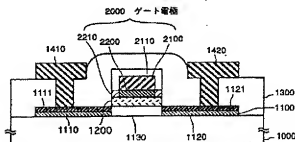
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 アルミニウムでなるゲート配線をを用いた絶縁ゲート型トランジスタに、サリサイド工程によってシリサイド層を形成する。

【解決手段】 ゲート電極2000は、ゲート絶縁膜1300に接して形成された金属層2110と、アルミニウム層2200との積層導電膜を有し、これらの積層導電膜は金属層2110の側面に形成された金属層の及びアルミニウム層2200表面を錫極酸化したアルミナ層を有する。この構成により、上記の積層導電膜はそれぞれの錫極酸化物層2110、2210で被覆される。金属層2110はアルミニウムよりも融点が高い金属材料で形成されるため、ゲート絶縁膜1300にアルミニウムが拡散されることを防止するバリア層として機能する。よってゲート電極2000形成以後に500〜650℃での加熱が可能になり、サリサイド工程によってシリサイド層1111、1121を形成できる。



1000:基板  
1100:活性層  
1110:ソース領域 1120:ドレイン領域 1130:チャネル形成領域  
1111, 1121:シリサイド層

1200:ゲート絶縁膜 1300:厚膜絶縁膜  
1410:ソース電極 1420:ドレイン電極

2000:ゲート電極  
2100:金属層 2110:錫極酸化物層  
2200:アルミニウム層 2210:アルミナ(錫極酸化物)層

## 【特許請求の範囲】

【請求項1】 同一基板上に形成された複数の絶縁ゲート型トランジスタで構成された半導体回路を含む半導体装置であって、

前記絶縁ゲート型トランジスタは、チャネル形成領域、ソース領域及びドレイン領域を有するシリコンを主成分とする活性層と、ゲート絶縁膜と、ゲート電極と、前記ソース領域に電気的に接続されたソース電極と、前記ドレイン領域に電気的に接続されたドレイン電極と、を有し、前記ゲート電極は、

前記ゲート絶縁膜に密接して形成され、アルミニウムよりも融点が高く陽極酸化可能な金属材料を主成分とする金属層と、

前記金属層の側面に形成された前記金属材料の陽極酸化層と、

前記金属層上に接して形成されたアルミニウム層またはアルミニウムを主成分とする材料層と、

前記アルミニウム層またはアルミニウムを主成分とする材料層の表面に形成されたアルミニウムを陽極酸化したアルミナ層と、を有し、

前記ソース領域、前記ドレイン領域には、少なくとも前記ソース電極、前記ドレイン電極との接続部にシリサイド層が形成されていることを特徴とする半導体装置。

【請求項2】 前記金属層は、Ta、Nb、Hf、Ti、Crのいずれか一種金属元素もしくはこれらの合金、又はMoとTaの合金で形成されることを特徴とする半導体装置。

【請求項3】 前記シリサイド層は、Ta、Cr、Mn、Nb、Mo、Tiのいずれか一種の金属とシリコンとの化合物であることを特徴とする半導体装置。

【請求項4】 前記半導体層は、多結晶シリコン薄膜で形成されていることを特徴とする半導体装置。

【請求項5】 同一基板上に形成された複数の薄膜トランジスタで構成される半導体回路を含む半導体装置であって、

前記薄膜トランジスタは、シリコンを主成分としチャネル形成領域、ソース領域及びドレイン領域を有する活性層と、ゲート絶縁膜と、ゲート電極と、前記ソース領域に電気的に接続されたソース電極と、前記ドレイン領域に電気的に接続されたドレイン電極と、を有し、前記ゲート電極は、

前記ゲート絶縁膜上に密接して形成されたタンタル層と、

前記タンタル層の側面に形成されたタンタルオキシサイド層と、

前記タンタル層上に密接して形成されたアルミニウム層またはアルミニウムを主成分とする材料層と、

前記アルミニウム層またはアルミニウムを主成分とする材料層の表面に形成されたアルミナ層と、を有し、

前記ソース領域、前記ドレイン領域には、少なくとも前

記ソース電極、前記ドレイン電極との接続部にシリサイド層が形成されていることを特徴とする半導体装置。

【請求項6】 請求項5において、前記タンタル層の膜厚は5〜200nmであることを特徴とする半導体装置。

【請求項7】 請求項5又は6において、前記タンタルオキシサイド層の端部は前記アルミナ層よりも外側に突出していることを特徴とする半導体装置。

【請求項8】 請求項5乃至請求項7のいずれかにおいて、前記タンタルオキシサイド層の膜厚は前記タンタル層の膜厚の2〜4倍であることを特徴とする半導体装置。

【請求項9】 同一基板上に形成された複数の薄膜トランジスタで構成される半導体回路を構成に含む半導体装置の作製方法であって、

活性層と、該活性層に密接したゲート絶縁膜とを形成する第1の工程と、

前記ゲート絶縁膜に密接してタンタル層を形成する第2の工程と、

前記タンタル層に密接してアルミニウム層またはアルミニウムを主成分とする材料層を形成する第3の工程と、第1の陽極酸化処理によって、前記アルミニウム層またはアルミニウムを主成分とする材料層を選択的に陽極酸化して、その側面に多孔質状アルミナ層を形成する第4の工程と、

第2の陽極酸化処理によって、前記アルミニウム層またはアルミニウムを主成分とする材料層を陽極酸化して、その表面に無孔質状アルミナ層を形成すると同時に、前記タンタル層を陽極酸化して、その側面にタンタルオキシサイド層を形成する第5の工程と、

前記ゲート絶縁膜をパターンニングして、前記活性層のソース、ドレイン領域の表面を露出させる第6の工程と、前記多孔質アルミナ層を除去する第7の工程と、前記ソース及びドレイン領域に導電性を付与する不純物を添加する第8の工程と、

前記ソース領域、前記ドレイン領域の少なくとも表面をシリサイド化する第9の工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項10】 請求項9において、前記第6の工程は、前記多孔質状アルミナ層をマスクにして、前記ゲート絶縁膜をパターンニングすることを特徴とする半導体装置の作製方法。

【請求項11】 請求項9において、前記第1の陽極酸化処理はシュウ酸を主成分とする溶液を電解溶液に用いることを特徴とする半導体装置の作製方法。

【請求項12】 請求項9において、前記第2の陽極酸化処理は、酒石酸を主成分とする溶液を電解溶液に用いることを特徴とする半導体装置の作製方法。

【請求項13】 同一基板上に形成された複数の絶縁ゲート型トランジスタで構成された半導体回路を含む半導体装置であって、

## 3

前記絶縁ゲート型トランジスタは、チャネル形成領域、ソース領域及びドレイン領域を有する活性層と、ゲート絶縁膜と、ゲート電極と、前記ソース領域に電気的に接続されたソース電極と、前記ドレイン領域に電気的に接続されたドレイン電極と、を有し、前記ゲート電極は、前記ゲート絶縁膜上に接して形成されたアルミニウム層またはアルミニウムを主成分とする材料層と、前記アルミニウム層またはアルミニウムを主成分とする材料層の表面に形成されたアルミニウムを陽極酸化したアルミナ層と、を有し、前記ゲート絶縁膜は窒化珪素層を有し、前記ソース領域、前記ドレイン領域には、少なくとも前記ソース電極、前記ドレイン領域との接続部にシリサイド層が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は半導体薄膜を利用した薄膜トランジスタ等の絶縁ゲート型トランジスタを複数備えた半導体回路をその構成を含む半導体装置の構造及びその作製方法に関する。本発明の半導体装置は、アクティブマトリクス型液晶表示装置やイメージセンサ等、絶縁ゲート型トランジスタでなる半導体回路を有する電子機器を含むものである。

【0002】

【従来の技術】近年、絶縁性を有する基板上に形成された薄膜トランジスタ（以下、TFTと略記する）により画素マトリクス回路及び駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目されている。液晶ディスプレイは、0.5〜2インチ程度のプロジェクタ向けのものや、10〜20インチ程度のノートパソコン向けのものまであり、主に小型から中型までの表示ディスプレイとして利用されている。

【0003】近年、液晶ディスプレイの大型化が求められているが、大型化すると画素表示部となる画素マトリクス回路の面積も大きくなり、これに伴ってマトリクス状に配列されたソース配線及びゲート配線等が長くなるため、配線抵抗が増大する。更に微細化の要求のために配線を細くする必要があり、配線抵抗の増大がより顕在化される。また、ソース配線及びゲート配線には、画素ごとにTFTが接続され、画素数が増大するため寄生容量の増大も問題となる。液晶ディスプレイでは、一般的にゲート配線とゲート電極は一体的に形成されており、パネルの大型化に伴ってゲート信号の遅延が顕在化してくる。

【0004】そのため、ゲート配線として比抵抗の低いアルミニウムを主成分とする材料が用いられている。アルミニウムを主成分とする材料でゲート配線、ゲート電極を形成することで、ゲート遅延時間を低くすることができ、高速動作させることができる。

【0005】また高速動作のためには、ソース／ドレイン領域と、これら領域に接続されるソース／ドレイン

## 4

線とのシート抵抗を減少する必要がある。ソース／ドレイン領域の低抵抗化のために、ソース／ドレイン領域表面にTaやTi等の高融点金属とのシリサイド層を形成することが行われている。

【0006】

【発明が解決しようとする課題】アルミニウム材料は、低抵抗性という長所を有している一方、耐熱性が低いという短所を有している。そのため、アルミニウムを主成分とする材料でゲート電極・ゲート配線を形成した場合には、ソース／ドレイン領域表面をシリサイド化するには、シリサイド(salicide, self-aligned silicide)工程を利用することが困難である。

【0007】アルミニウムは加熱処理をするとヒロックやウィスカーが発生しやすいため、ゲート電極・ゲート配線を形成以後の工程では、そのプロセス温度の上限は300〜450℃の範囲に制限される。

【0008】しかしながら、アルミニウム配線を用いたTFTでは300〜450℃範囲の加熱温度であっても、ゲート電極で生ずるヒロック、ウィスカー等の突起物がゲート絶縁膜を突き抜けてチャネル形成領域へ到達したことや、アルミニウム原子がゲート絶縁膜中に拡散したことが原因と考えられる、ゲート電極とチャネル間のショート（短絡）による、薄膜トランジスタの動作不良が確認された。

【0009】一方、ソース／ドレイン領域のシリサイド化には400℃を超える温度の熱処理が必要になる。LSIの分野でソース／ドレイン領域のシート抵抗の減少を目的として、チタンシリサイドが主に利用されているが、チタン(Ti)膜とシリコンとを反応させてチタンシリサイドを形成するには、500〜600℃程度での加熱処理が必要となる。

【0010】従来では、アルミニウム配線の耐熱性、TFTの信頼性の観点から、アルミニウムでなるゲート電極・配線を形成後、シリサイド化工程を行うことができなかった。

【0011】本発明は上記の問題点を解消して、ゲート電極、ゲート配線材料としてアルミニウム材料を用いてゲート電極・配線の低抵抗化と、ソース／ドレイン領域の表面にシリサイド層を形成して、ソース／ドレイン領域のシート抵抗の低抵抗化を同時に実現した、高速動作可能な絶縁ゲート型トランジスタ、及びその作製方法を提供することを課題とする。

【0012】特に、アルミニウム材料を用いた配線を形成後に加熱処理工程を加えても、アルミニウム原子がゲート絶縁膜中に拡散しない技術を提供することを課題とし、絶縁ゲート型トランジスタを高い歩留りで作製することを可能にする。

【0013】

【課題を解決するための手段】上述した課題を解消するために、同一基板上に形成された複数の絶縁ゲート型ト

ランジスタで構成された半導体回路を含む半導体装置であって、前記絶縁ゲート型のゲート電極は、前記ゲート絶縁膜に密接して形成され、アルミニウムよりも融点が高く陽極酸化可能な金属材料を主成分とする金属層と、前記金属層の側面に形成された前記金属材料の陽極酸化層と、前記金属層上に接して形成されたアルミニウム層またはアルミニウムを主成分とする材料層と、前記アルミニウム層またはアルミニウムを主成分とする材料層の表面に形成されたアルミニウムを陽極酸化したアルミナ層と、を有し、前記ソース領域、前記ドレイン領域には、少なくとも前記ソース電極、前記ドレイン電極との接続部にシリサイド層が形成されていることを特徴とする。

【0014】半導体装置の他の構成は、同一基板上に形成された複数の薄膜トランジスタで構成される半導体回路を含む半導体装置であって、前記薄膜トランジスタのゲート電極は前記ゲート絶縁膜上に密接して形成されたタンタル層と、前記タンタル層の側面に形成されたタンタルオキサイド層と、前記タンタル層上に密接して形成されたアルミニウム層またはアルミニウムを主成分とする材料層と、前記アルミニウム層またはアルミニウムを主成分とする材料層の表面に形成されたアルミナ層と、を有し、前記ソース領域、前記ドレイン領域には、少なくとも前記ソース電極、前記ドレイン電極との接続部にシリサイド層が形成されていることを特徴とする。

【0015】更に、本発明の同一基板上に形成された複数の薄膜トランジスタで構成される半導体回路を構成に含む半導体装置の作製方法の構成は、シリコンを主成分とする材料でなる活性層と、該活性層に密接したゲート絶縁膜とを形成する第1の工程と、前記ゲート絶縁膜に密接してタンタル層を形成する第2の工程と、前記タンタル層に密接してアルミニウムまたはアルミニウムを主成分とする材料層を形成する第3の工程と、第1の陽極酸化処理によって、前記アルミニウムまたはアルミニウムを主成分とする材料層を選択的に陽極酸化して、その側面に多孔質状アルミナ層を形成する第4の工程と、第2の陽極酸化処理によって、前記アルミニウム層またはアルミニウムを主成分とする材料層を陽極酸化して、その表面に無孔質状アルミナ層を形成すると同時に、前記タンタル層を陽極酸化して、その側面にタンタルオキサイド層を形成する第5の工程と、前記ゲート絶縁膜をパターニングして、前記活性層のソース、ドレイン領域の表面を露出させる第6の工程と、前記多孔質アルミナ層を除去する第7の工程と、前記ソース及びドレイン領域に導電性を付与する不純物を添加する第8の工程と、前記ソース、ドレイン領域の少なくとも表面をシリサイド化する第9の工程と、を有することを特徴とする。

【0016】

【実施の形態】 本発明の実施の形態を図13を用いて説明する。

【0017】図13は、本発明の構成を説明するため模式図であり、薄膜トランジスタの断面図を示す。図13には1つの薄膜トランジスタしか図示していないが、基板1000上に複数の薄膜トランジスタが形成されて半導体回路を構成している。

【0018】薄膜トランジスタは、絶縁表面を有する基板1000上に形成されたシリコンを主成分とする活性層1100と、ゲート絶縁膜2000と、ゲート電極2000とソース電極1410と、ドレイン電極1420とを有する。ゲート電極2000とソース/ドレイン電極1410、1420は層間絶縁膜1300によって電気的に絶縁されている。

【0019】活性層1100は、ソース領域1110、ドレイン領域1120、チャネル形成領域1130を有し、ソース領域1110、ドレイン領域1120の表面はシリサイド化されて、シリサイド層1111、1121が形成されている。

【0020】前記ゲート電極2000は、ゲート絶縁膜1300に接して形成された金属層2110と、前記金属層2110上に接して形成されたアルミニウム層2200との積層導電膜を有し、さらに金属層2110の側面に形成された金属層の陽極酸化物層2110及びアルミニウム層2200表面を陽極酸化したアルミナ層を有する。この構成により、上記の積層導電膜はそれぞれの陽極酸化膜で被覆されるため、絶縁性が高められると共に、アルミニウム層2200の耐熱性も向上される。

【0021】本発明では、金属層2110は陽極酸化可能であると共に、アルミニウムよりも融点が高い金属材料で形成して、ゲート絶縁膜1300にアルミニウムが拡散されることを防止するバリア層として機能させるため、ゲート電極2000形成以後に400℃以上の加熱処理が可能になり、加熱温度を500～600℃程度まで上げることができる。

【0022】このような金属層2110としてバルブ金属を用いることができ、Ta、Nb、Hf、Ti、Crのいずれか一種金属元素もしくはこれらの合金、又はMoとTaの合金を用いればよい。またアルミニウム層2000は純アルミニウムだけでなく、Si、Sc等を数重量%添加し耐熱性を向上させても良い。

【0023】本発明では、ゲート電極2000形成以後に、500～650℃の温度で加熱することができるようになったため、シリサイド工程によってソース/ドレイン領域にシリサイド層1111、1121を形成することができる。

【0024】図13の薄膜トランジスタの作製方法の1例を以下に説明する。絶縁表面を有する基板1000上にシリコンを主成分とする活性層1100を形成する。活性層1100としては、非晶質シリコン薄膜を結晶化した多結晶シリコン薄膜を用いればよい。結晶化には、基板の耐熱性を考慮して、加熱処理、レーザやそれと

等な強光を照射する方法等を適宜に選択すればよい。そして活性層1100上にゲート絶縁膜1200を構成する絶縁被膜を形成する。

【0025】次にゲート電極2000を形成する。金属層1100、アルミニウム層2200を成膜し所定の形状にパターニングする。それぞれ陽極酸化して、陽極酸化層2110と2120を形成する。これによってゲート電極2000を完成する。本発明では、ゲート電極2000において、主に信号、電流の経路としてアルミニウム層2200を用いるため、その膜厚は400~650nm程度とする。また、金属層は後述するようにバリア層をして機能すれば良く、その膜厚は10~100nm程度とする。

【0026】次にゲート電極2000をマスクにして前記絶縁被膜をパターニングして自己整合的にゲート絶縁膜1300を形成する。さらに、ゲート電極2000をマスクにして、活性層1100に導電性を付与する不純物を添加して、ソース/ドレイン領域1110、1120とチャネル形成領域1130を自己整合的に形成する。

【0027】次に、ソース/ドレイン領域1100、1200にシリサイド層1111、1121を形成する。まず、シリコンとシリサイド反応する金属膜を成膜する。この金属膜としては、500~600℃程度の加熱温度でシリサイド反応する金属膜であれば良く、例えばTa、Cr、Mn、Nb、Mo、Tiのいずれか一種の金属膜を用いることができる。金属膜は活性層1100のうちソース/ドレイン領域1110と1120のみ接しており、加熱処理によってソース/ドレイン領域1110、1120のシリコンと金属が反応して、シリサイド層1111、1121が形成される。なお、ソース/ドレイン領域1110、1120を完全にシリサイド化しても良い。

【0028】シリサイド化の後、未反応の金属膜をエッチングで除去する。このとき、ゲート電極2000の金属層2100とアルミニウム層2200はそれぞれの陽極酸化層2110と2120で被覆されているため、エッチングで除去されるようなことがない。なお、シリサイド化の加熱処理は電気炉内での加熱や赤外線ランプを用いたRTAを用いればよい。

【0029】そして、層間絶縁膜1300を形成し、ここにコンタクトホールを形成しソース/ドレイン電極1410、1420を形成する。

【0030】本発明においては、ゲート電極2000にアルミニウム層2200を用い、ソース/ドレイン電極1410、1420との接続部にシリサイド層1111と1121を形成したため、動作速度が向上され、また省電力化が図れる。なお、ここでは、絶縁ゲート型トランジスタの例として薄膜トランジスタを示したが、本発明は、シリコン基板内にソース/ドレイン領域を有するM

OS型トランジスタに適用することもできる。

【0031】

【実施例】 図1~12を用いて、本発明の実施例を詳細に説明する。

【0032】【実施例1】本実施例では、半導体回路を構成するTFTの作製方法を示す。図1(A)に本実施例のTFTの模式的な断面構成図を示す。また、図1(B)に図1(A)の150で示す矩形の領域の拡大図を示す。

10 【0033】基板100表面には下地膜101が形成されている。TFTは、下地膜101上に形成された活性層103と、ゲート絶縁膜109と、ゲート電極と、層間絶縁膜103と、ソース/ドレイン領域に接続されたソース電極141、ドレイン電極142を有する。

【0034】活性層103は多結晶シリコン薄膜であり、ソース領域104、ドレイン領域105、チャネル形成領域106と、高抵抗領域107と108が形成され、ソース領域104とドレイン領域105表面には、それぞれシリサイド層104aと105aが形成されている。

20 【0035】ゲート絶縁膜109は、活性層103表面を熱酸化した熱酸化膜109bと、気相法(CVD)で堆積された堆積絶縁膜109aで形成される。また、ゲート電極は、タンタル層110とアルミニウム層120と、タンタル層110とアルミニウム層120はそれぞれ陽極酸化したタンタルオキシド層111、無孔質状アルミナ層121とを有する。

【0036】以下、図2~図4を用いて、TFTの作製方法を説明する。まず、耐熱性の高い基板(本実施例では石英基板)100を用意する。基板100表面に下地膜101として300nm厚の絶縁性珪素膜102を形成する。絶縁性珪素膜とは、酸化珪素膜( $\text{SiO}_x$ )、窒化珪素膜( $\text{Si}_3\text{N}_4$ )、酸化窒化珪素膜( $\text{SiO}_x\text{N}_y$ )のいずれか若しくはそれらの積層膜である。

【0037】基板100の耐熱温度は、後の熱酸化工程に耐え得る温度であればよい。歪点が750℃以上であればガラス基板(代表的には結晶化ガラス、ガラスセラミクス等と呼ばれる材料)を利用することもできる。その場合には下地膜を減圧熱CVD法で形成して基板全面を絶縁性珪素膜で覆うようにすると、ガラス基板からの成分物質の拡散を抑えられて効果的である。

40 【0038】また、下地膜101としては、基板100全面を非晶質珪素膜で覆い、それを完全に熱酸化膜に変えさせた絶縁膜を用いることもできる。シリコン基板を用いる場合には、下地膜101はシリコン基板表面を熱酸化して形成する。

【0039】こうして絶縁表面を有する基板が準備できたら、減圧熱CVD法により非晶質珪素膜201を形成する。非晶質珪素膜201の膜厚は20~100nm(好ましくは40~75nm)とすれば良い。本実施例

では成膜膜厚を65nmとする。なお、減圧熱CVD法で形成した非晶質珪素膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。(図2(A))

【0040】次に、非晶質珪素膜201上に120nm厚の酸化珪素膜となるマスク絶縁膜201を形成する。マスク絶縁膜202にはパターンニングによって開口部202aを設けておく。

【0041】次に、特開平8-78329号公報記載の技術に従って、結晶化を助長する触媒元素の添加工程を行う。本実施例では触媒元素としてニッケルを選択し、重量換算で10ppmのニッケルを含むニッケル酢酸塩をエタノール溶液に溶かした溶液をスピコート法により塗布する。

【0042】勿論、ニッケル以外にもコバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)から選ばれた一種または複数種を用いることもできる。

【0043】こうして、マスク絶縁膜202の表面にはニッケル含有層203が形成される。この時、ニッケルはマスク絶縁膜202に設けられた開口部202aにおいて非晶質珪素膜201を壊するような状態となる。

(図2(B))

【0044】次に、450℃、1時間程度加熱して水素出し処理した後、不活性雰囲気、水素雰囲気または酸素雰囲気において500~700℃(代表的には500~650℃、好ましくは570℃)の温度で4~24時間の加熱処理を加えて非晶質珪素膜201の結晶化を行う。本実施例では570℃、14時間の加熱処理を行い、結晶化を進ませる。(図2(C))

【0045】非晶質珪素膜201の結晶化はニッケルを添加した領域(ニッケル添加領域)204で発生した核から優先的に進行し、基板100の基板面に対してほぼ平行に成長した結晶領域(ここでは横成長領域とよぶ)205、206が形成される。横成長領域205、206は比較的揃った状態で個々の結晶粒が集合しているため、全体的な結晶性に優れるという利点がある。

【0046】結晶化工程が終了したら、そのままマスク絶縁膜202をマスクとして活用してP(リン)を添加してリン添加領域207を形成する。リンは添加領域207に $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度(ニッケルの約10倍)で含まれるように添加することが好ましい。(図2(D))

【0047】本実施例では横成長領域205、206に残存するニッケルを除去するためにリンのゲッタリング能力を利用する。リン以外にも砒素、アンチモン等の他の15族元素を用いることもできるが、リンがゲッタリング能力が高かった。

【0048】本実施例ではリンの添加工程にプラズマドーピング法を用いたが、他にイオンインプランテーション

法又はプラズマドーピング法等のイオン打ち込み法、気相からの拡散を用いる方法、固相からの拡散を用いる方法のいずれかの手段を利用できる。また、リンの添加工程でマスクとして活用するマスク絶縁膜202は、再度パターンニングして新たな開口部を設けても良いが、マスク絶縁膜202をそのまま用いることでスループットの向上を図ることができる。

【0049】そして、リン添加領域207を形成した後、500~800℃(好ましくは600~650℃)で2~24時間(好ましくは8~15時間)の加熱処理を行い、横成長領域205、206中のニッケルをリン添加領域207へと移動させる(移動方向は矢印で示す。)こうしてニッケルが $5 \times 10^{17} \text{atoms/cm}^3$ 以下(好ましくは $2 \times 10^{17} \text{atoms/cm}^3$ 以下)にまで低減された横成長領域205'、206'が得られる。(図2(E))

【0050】なお、現状ではSIMS(質量二次イオン分析)による検出下限が $2 \times 10^{17} \text{atoms/cm}^3$ 程度であるため、それ以下の濃度を調べることはできない。しかしながら、本実施例に示すゲッタリング工程を行えば、横成長領域205'、206'内のニッケル濃度は少なくとも $1 \times 10^{14} \sim 1 \times 10^{15} \text{atoms/cm}^3$ 程度にまで低減されるものと推定される。

【0051】こうしてニッケルのゲッタリング工程が終了したら、マスク絶縁膜202を除去した後、図2

(F)に示すように横成長領域205'、206'のみを利用して活性層103を形成する。この時、ニッケルをゲッタリングした領域207は完全に除去してしまうことが望ましい。こうすることでニッケルが再び活性層103内へと逆拡散することを防ぐことができる。なお説明のため図面では活性層103を1つだけ図示したが、半導体回路を構成するTFTに合わせた複数の活性層が基板100上に同時に形成されている。

【0052】次に、プラズマCVD法または減圧熱CVD法により、絶縁性珪素膜である堆積絶縁膜109aを活性層103を覆うように形成する。この絶縁膜109aの膜厚は50~150nmとすれば良い。絶縁性珪素膜としては酸化珪素膜、窒化珪素膜、窒化酸化珪素膜を形成すればよい。

【0053】そして、図3(G)に示すように堆積絶縁膜109aを形成した後、酸化性雰囲気において800~1100℃(好ましくは950~1050℃)で加熱処理を行い、活性層103表面を酸化して、活性層103と堆積絶縁膜109aの界面に熱酸化膜109bを形成する。

【0054】なお、酸化性雰囲気はドライO<sub>2</sub>雰囲気、ウェットO<sub>2</sub>雰囲気又はハロゲン元素(代表的には塩化水素)を含む雰囲気とすれば良い。ハロゲン元素を含ませた場合、活性層103上の絶縁膜109aが薄ければハロゲン元素によるニッケルのゲッタリング効果も期待



できる。

【0055】また、熱酸化工程の温度と時間は、熱酸化膜の膜厚とスループットを鑑みて最適な条件を決定すれば良い。本実施例では50nmの熱酸化膜109aを形成する条件(950℃、30分)とする。また、同時に25nmの活性層が減り、最終的に活性層の膜厚は40nmとなる。

【0056】堆積絶縁膜109aを形成してから熱酸化するという構成は、リンの気相中からの拡散を防ぐ効果がある。このリンとはゲッタリング工程に先立って添加されたリン(ここでは下地膜に含まれるリンを指す)であり、それが熱酸化工程の雰囲気中に拡散して活性層103に再添加される(リンのオートドーピングとも呼ばれる)ことを防ぐことができる。

【0057】勿論、活性層103と堆積絶縁膜109aとの界面を熱酸化することで界面単位を大幅に低減し、界面特性を飛躍的に向上させることも兼ねる。また、CVD法で形成された堆積絶縁膜109aの膜質の向上も図れるし、活性層103を薄酸化されるため光リーク電流の低減も期待でき、活性層103を構成する多結晶シリコンの結晶粒内欠陥も低減される。

【0058】こうして図3(G)の状態が得られたら、スパッタ法にて50nm厚のタンタル層110、400nm厚のアルミニウム層120を順次積層形成する。アルミニウム層120として2wt%のスカンジウムを含有させたアルミニウム材料を利用した。タンタル層110の膜厚は20nmあればバリア層として機能するが、あまり厚いとTFTの凹凸が大きくなるため、20~100nm程度の厚さにすればよい。(図3(H))

【0059】次にフォトリソレジストマスク209を形成し、タンタル層110及びアルミニウム層120をドライエッチング法またはウェットエッチング法によりエッチングして、後のゲート電極の原型となる積層パターン210を形成した。本実施例ではゲート電極とゲート電極に信号を入力するゲート配線は一体的に形成されている。図面ではTFTの活性層と交差しているゲート電極のみを示しているが、積層210パターンはゲート電極およびゲート配線のパターンに合わせて形成されている。

【0060】ドライエッチング用のエッチングガスとしてはアルミニウム層120のエッチングには塩素系ガス、タンタル層110のエッチングにはフッ素系ガスと、ように使い分ければ連続的に処理することが可能である。なお、タンタル層110が50nm程度と薄い場合は塩素系ガスでアルミニウム層120とタンタル層110とを一括してエッチングできることが確認されている。(図3(I))

【0061】また、積層パターン210のパターニングにはレジストマスク209を利用しているが、レジストマスク209を形成する前にあたって、アルミニウム層

120の表面を極薄く陽極酸化してアルミナ膜を形成し、レジストマスク209の密着性を向上させる。

【0062】次に、レジストマスク209を残した状態で、3%シュウ酸水溶液中で到達電圧8Vの陽極酸化処理を行い、600~800nm厚の多孔質状アルミナ層211を形成する。この溶液中ではタンタル層110は陽極酸化されず、アルミニウム層120のみが選択的に陽極酸化されて、多孔質状アルミナ層211が形成される。(図3(J))

【0063】レジストマスク209を除去した後、さらに、3%の酒石酸を含むエチレンジグリコール溶液中で到達電圧80Vの陽極酸化処理を行う。この処理ではアルミニウム層120とタンタル層110との両方が陽極酸化される。(図3(K))

【0064】タンタル層110は多孔質状アルミナ層211に接する部分だけが陽極酸化されてタンタルオキサイド層111に変成された。これはその部分だけが多孔質状アルミナ層211の内部を浸透してきた電解溶液に触れるためである。

【0065】また、アルミニウム層120も多孔質状アルミナ層211の内部を浸透した電解溶液に触れた部分が酸化されて、その表面(多孔質状アルミナ層211の内側)に100~120nm厚の無孔質状アルミナ層121が形成される。無孔質状アルミナ層121の膜厚は到達電圧によって決定される。

【0066】ここで、図3(K)に示す状態を示すSEM写真を図11(A)に示した。なお、図11(A)は図3(K)の構造を実験的に再現したサンプルを4万倍に拡大したSEM写真であり、多孔質状アルミナ層211付近の様子を示している。

【0067】また、図11(A)の模式図を図11(B)に示した。図11(B)において、10は酸化珪素膜でなる下地、11はタンタル層、12はアルミニウム層、13はタンタルオキサイド層、14は無孔質状アルミナ層、15は多孔質状アルミナ層である。

【0068】図11(B)に示すように、アルミニウム層12の表面は無孔質状アルミナ層14で覆われ、その外側に多孔質状アルミナ層15が形成されている。そして、タンタル層11の端部(多孔質状アルミナ層の下)にはタンタルオキサイド層13が形成されている。

【0069】なお、図3ではタンタル層110とタンタルオキサイド層111の膜厚は同じになっているが、図11(A)に示す写真で見ると、タンタル層は陽極酸化処理によってタンタルオキサイド層に変成する際に約2倍程度に体積が膨張して、膜厚が2~4倍(代表的には3倍)程度に厚くなるようである。また、タンタルオキサイド層13はアルミナ層15の端部よりも外側に突出していた。また15で示す部分は完全にタンタルオキサイドだけでなくタンタルも混在していることも予想される。

【0070】図3(K)に示す構成が得られたら、次にゲート電極部(タンタル層110、タンタルオキサイド層111、アルミニウム層120、アルミナ層121)及び多孔質状アルミナ層211をマスクとしてドライエッチング法により堆積絶縁膜109aと熱酸化膜109bをエッチングして、ゲート絶縁膜109をパターンニングし、エッチングガスとしては $\text{CHF}_3$ ガスを55sccの流量で用い、圧力55mtorr、供給電力800Wの条件で行った。

【0071】この工程により堆積絶縁膜109aと熱酸化膜109bが自己整合的にエッチングされ、ゲート絶縁膜109は島状のパターンに加工された。この時、図11を用いて説明したように、ゲート電極ではタンタルオキサイド層111が最も外側に突出しているため、ゲート絶縁膜の端面はタンタルオキサイド層111の端面で面定される。また、活性層103において、後にソース/ドレイン領域となる領域が露出した状態となる。

(図4(L))

【0072】このパターンニング工程が終了したら、マスクとして利用した多孔質状アルミナ層211を45℃に保温したアルミ混酸(リン酸、酢酸、硝酸、水を体積%で85:5:5:5の比で混合した)溶液を用いて除去した。多孔質状アルミナ層211とタンタルオキサイド層111の選択比が大きいため、タンタルオキサイド層111はエッチングされない。この様子は図12に示すSEM写真からも明らかである。

【0073】図12に示すSEM写真は、図11(A)に示す状態から多孔質状アルミナ層15のみを除去した状態を示している。この写真からはタンタルオキサイド層111がひさし状に残っていることが確認できる。

【0074】次に、1回目の不純物添加工程を行った。なお、本実施例ではプラズマドーピング法を用いた。またNチャネル型TFT(NTFT)を作製するため、N型の導電性を付与する不純物イオンとして、P(リン)またはAs(砒素)を選ぶ。ここではリンを添加した。まず、1回目は加速電圧を70~85keVと高くして行った。この時、ゲート絶縁膜109a表面にはタンタルオキサイド層111が存在するため、イオン注入時のダメージが直接ゲート絶縁膜に到達しないため、ゲート絶縁膜109中にトラップ単位が発生するのを抑制できる。

【0075】加速電圧が高いためタンタルオキサイド層111とゲート絶縁膜109をリンイオンが通過して、活性層103に添加される。この結果N型の不純物領域212、213が形成される。また、活性層103においてアルミニウム層120、アルミナ層121が上部に存在する領域には、リンイオンが添加されなかった。

(図4(M))

【0076】この工程において領域212、213の不純物濃度は後に高抵抗領域の抵抗値を決定することになる。従って、イオン注入時のドーズ量は領域212、2

13が所望の濃度の不純物を含むように実施者が最適値を設定する必要がある。本実施例では、不純物領域212、213のリン濃度が $1 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ になるようにした。

【0077】次に、5~10keVと低い加速電圧で2回目の不純物添加工程を行った。この工程では加速電圧が低いため、ゲート絶縁膜109が完全にマスクとして機能する(タンタルオキサイド層111も存在するため特開平7-135318号公報記載の技術よりもマスク効果が向上している)。この工程ではN型不純物領域212、213のうち、その表面が露出されている領域104、105のみにリンイオンが添加される。本実施例では、この領域104、105に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加されるようにした。

【0078】1回目と2回目の不純物添加工程において、2度ともリンが添加された領域104、105はそれぞれソース領域、ドレイン領域となる。また1回目の不純物添加工程でのみ不純物が添加された領域は、ソース/ドレイン領域104、105よりも抵抗が高い、高抵抗領域107、108となる。従って、ソース/ドレイン領域104、105と高抵抗領域107、108との接合部はゲート絶縁膜109(タンタルオキサイド層111の端面)によって面定する。また全くリンが添加されなかった領域106は、後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域となる。

(図4(N))

【0079】なお、真性とは電子と正孔が完全に釣り合っており完全に中性な領域を指し、実質的に真性な領域とは、しきい値制御が可能な濃度範囲( $1 \times 10^{16} \sim 1 \times 10^{17} \text{atoms/cm}^3$ )でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電型を相殺させた領域を指す。

【0080】また、本実施例の高抵抗領域107、108はソース/ドレイン領域104、105よりもリン濃度が低く、LDD領域又は低濃度不純物領域に対応する。なお、不純物添加工程の加速電圧や、ゲート絶縁膜109及びタンタルオキサイド層111の膜厚によって、領域107、108にリンを添加させないようにすることができる。この場合は、高抵抗領域107、108はオフセット領域として機能する。

【0081】また、同一基板上にPチャネル型TFTも作製する場合には、Nチャネル型TFTの活性層をフォトリソで覆い、残りの活性層にボロンを添加すればよい。添加されるボロンの濃度はソース/ドレイン領域104、105や高抵抗領域107、108の導電型がN型からP型に反転するように調節する。

【0082】以上のようにして活性層103への導電性を付与する不純物の添加工程が終了したら、次に、不活性ガス雰囲気中において加熱処理もしくは、エキシマレーザを照射して、活性層に添加した不純物を活性化す

る。この工程は、次に行うシリサイド化の加熱処理と兼用しても良い。

【0083】次に、ソース/ドレイン領域104、105の表面をシリサイド化する。本実施例ではチタンシリサイド層を形成する。先ずチタン(Ti)膜215をスパッタ法にて成膜した。膜厚は10~100nmここでは、50nmの厚さにする。この状態では、活性層103はソース/ドレイン領域104、105だけでチタン膜215と接している。そして、500~650℃の温度、ここでは550℃に加熱して、チタン膜215と、チタン膜215に接している活性層103とを反応させてシリサイド化した。この結果ソース/ドレイン領域104、105の表面には、チタンシリサイド層104a、105aが自己整合的に形成される。(図4(O))

【0084】従来では、アルミニウム材料の耐熱性が低かったため、ゲート電極を形成した以後の工程では、450℃程度の加熱処理しか施せなかったが、本実施例においては、下層に設けられたタンタル層111を耐熱性の低いアルミニウム層120のブロッキング層として利用したため、450℃以上、500~650℃の加熱処理を施すことが可能となった。よって、ゲート電極をマスクに利用したシリサイド工程によって、シリサイド層104a、105aを形成することが可能となった。

【0085】なお、図4(O)では、シリサイド層104a、105aで示すように、ソース/ドレイン領域104、105の表面のみをシリサイド化しているが、活性層103の膜厚、及び加熱時間によって、ソース/ドレイン領域104、105を全てシリサイド化することもできる。また、前述のようにシリサイド化工程の加熱処理によって、活性層に添加された不純物を活性化できるため、シリサイド化工程前の活性化工程は省略することも可能である。

【0086】次に、シリサイド化工程で未反応のチタン膜215を除去する。ここでは過酸化水素溶液とアンモニア溶液を混合したエッチャントを用いて、チタン膜215のみを選択的に除去した。そして図1に示すように層間絶縁膜130を形成する。層間絶縁膜130としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜またはそれらの積層膜を用いることができる。なお、有機性樹脂膜としてはポリイミド、ポリアミド、ポリイミドアミド、アクリル等が挙げられる。

【0087】層間絶縁膜130を形成したら、コンタクトホールを形成してソース電極141、ドレイン電極142を形成する。本実施例ではこれら電極材料としてチタン/アルミニウム/チタンからなる積層導電層を用いる。最後に水素雰囲気中において350℃2時間程度の水素化処理を行い、TFT全体の水系終端処理を行う。こうして図1に示すような構造のTFTが完成する。

【0088】本実施例のTFTは、ゲート電極を挟ませ

るアルミニウム層とゲート絶縁膜との間にタンタル層が存在するため、作製途中の熱処理によって、アルミニウムがゲート絶縁膜に拡散することが防止できる。そのため、シリサイド工程を利用してソース/ドレイン領域表面をシリサイド化することができる。よって、ゲート電極をアルミニウム材料で形成してゲート電極の低抵抗化を実現すると共に、ソース/ドレイン領域のシート抵抗の低抵抗化が可能になり、高速動作に最適なTFTを得ることができる。

【0089】更に、アルミニウム拡散による短絡を防げるため、非常に高い歩留り度でTFTを作製することが可能となり、同一基板上に百万個以上のTFTを作製するAMLCDを作製においても高い良品率を確保することができる。そして、それに伴って液晶モジュールやそれを搭載した製品(電子機器)の製造コストを低減することが可能である。また、本実施例では、TFTの例を示したが、シリコン基板内にソース/ドレイン領域を形成するMOS型トランジスタに、本実施例のゲート電極の作製工程、及びシリサイド工程を応用できることは明らかである。

【0090】【実施例2】 図5を用いて本実施例の説明する。本実施例は、本発明をアクティブマトリクス液晶表示装置(AMLCD)を構成するアクティブマトリクス基板の例である。アクティブマトリクス基板は同一基板上にCMOS回路で構成された駆動回路とNTFTで構成された画素マトリクス回路とが作製されている。なお、簡略にPチャネル型TFT(PTFT)の作製工程及び条件の一例を以下に示す。

【0091】まず、リンイオンを注入したソース及びドレイン領域にP型の導電性を付与する不純物イオン(ボロン)を注入する。ドーピングガスとして、水素で5%に希釈されたジボランを用いる。加速電圧は60~90kV、ドーズ量は $1 \times 10^{13} \sim 8 \times 10^{19}$  atoms/cm<sup>2</sup>とする。なお、ソース及びドレイン領域に注入されたボロンの濃度の最大値からリンの濃度の最大値を引いた濃度が $3 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>2</sup> となるようにドーズ量を調節することが重要である。この結果、ソース及びドレイン領域の導電型が反転してP型の不純物領域を形成することができる。なお、高抵抗領域の導電型も反転する工程としてもよい。

【0092】図5において、NTFT301、PTFT302はCMOS回路303を構成している。前述の様に公知のCMOS技術を用いば実施例1)とほぼ同様の工程で容易に実現できる。

【0093】また、画素マトリクス回路を構成する画素TFT(本実施例ではNTFT)304は実施例1で説明した作製工程に多少の工程を足せば実現できる。

【0094】まず、実施例1の工程に従って、画素TFT304及びCMOS回路303を複数形成する。次に、図5に示す様に第1の平坦化膜310を形成する。

本実施例では窒化珪素(50nm)/酸化珪素(25nm)/アクリル(1μm)の積層構造を第1の平坦化膜310として利用する。

【0095】なお、アクリルやポリイミドといった有機樹脂膜はスピンコート法で形成する溶液塗布型絶縁膜なので、厚い膜を容易に形成できる上、非常に平坦な面を有することが可能である。そのため、1μm程度の膜厚を高いスループットで形成することが可能であり、良好な平坦面が得られる。

【0096】次に、第1の平坦化膜310上に遮光性導電膜でなるブラックマスク311を形成する。またブラックマスク311を形成するに先立って、第1の平坦化膜310をエッチングして、最下層の窒化珪素膜のみを残した凹部を形成しておく。

【0097】このようにしておくことで、凹部を形成した部分では画素TFT304のドレイン電極とブラックマスク311とが窒化珪素膜のみを介して近接し、そこで補助容量312を形成する。窒化珪素は比誘電率が高く、しかも膜厚が薄いので大容量を確保しやすい。

【0098】ブラックマスク311を形成すると同時に補助容量312を形成したら、第2の平坦化膜313を1.5μm厚のアクリルで形成する。補助容量52を形成した部分は大きな段差を生じるが、その様な段差も十分に平坦化できる。

【0099】最後に、第1の平坦化膜310及び第2の平坦化膜313にコンタクトホールを形成し、透明導電膜(代表的にはITO)からなる画素電極314を形成する。こうして図5に示すアクティブマトリクス基板を作製することができる。

【0100】なお、画素電極314として反射性の高い導電膜、代表的にはアルミニウムまたはアルミニウムを主成分とする材料を用いれば、反射型AMLCD用のアクティブマトリクス基板を作製することもできる。

【0101】また、図5では画素TFTのゲート電極をダブルゲート構造としているが、シングルゲート構造でも良いし、トリプルゲート構造等のマルチゲート構造としても構わない。

【0102】また、アクティブマトリクス基板の構造は本実施例の構造に限定されるものではない。本発明の特徴はゲート電極の構成およびソース/ドレイン領域のシリサイド化にあるので、それ以外の構成は本発明を限定するものではなく、実施者が適宜決定すれば良い。

【0103】【実施例3】図6を用いて本実施例を説明する。本実施例では、実施例1と異なる工程でTFTを形成する場合であり、実施例1の陽極酸化工程の変形例である。なお、本実施例の構成を他の実施例の構成に利用することは可能である。

【0104】ここでは、実施例1とは図3(J)の状態の工程までは同一の工程であるためその記載は省略する。図3(J)を得たら、図6(A)に示すようにゲ-

ト絶縁膜のバターンニングを行う。図6(A)において、400は基板、401は下地膜、403は活性層、409aは堆積絶縁膜、409bは熱酸化膜、410はタンタル層、420はアルミニウム層、411はアルミニウム層を陽極酸化した多孔質状アルミナ層である。図3

(J)の状態を得たら、アルミニウム層420およびアルミナ層411をマスクにして、堆積絶縁膜409aと熱酸化膜409bをエッチングして、ゲート絶縁膜409をバターンニングする。

【0105】次に、3%の酒石酸を含むエチレングリコール溶液中で陽極酸化処理を行う。この処理では両方が陽極酸化されそれぞれ、膜厚の薄い陽極酸化物層が形成される。(図6(B))

【0106】タンタル層410は多孔質状アルミナ層411に接する部分だけが陽極酸化されて、薄いタンタルオキサイド層43に変成される。アルミニウム層420はその表面(多孔質状アルミナ層411の内側)に膜厚の薄い無孔質状アルミナ層422が形成される。ここでは到達電圧を1~20V程度として、無孔質状アルミナ層422の膜厚が10~30nmとなるようにした。

【0107】そして、多孔質状アルミナ層411を選択的に除去して図6(C)の状態を得る。この状態ではタンタル層410が露出する。

【0108】再度、3%の酒石酸を含むエチレングリコール溶液中で到達電圧80Vの陽極酸化処理を行う。この処理ではアルミニウム層420とタンタル層410との両方が陽極酸化され、その膜厚の厚いアルミナ層421、膜厚の厚いタンタルオキサイド層411が形成される。この工程で先に形成された薄いアルミナ層422、タンタルオキサイド層43はそれぞれ厚いアルミナ層421、タンタルオキサイド層411と一体化される。(図6(D))

【0109】実施例1の図3(K)の工程と異なり、本実施例ではタンタル層410を陽極酸化するために、タンタル層410を露出させた状態にして、タンタルオキサイド層411に変成しやすくさせており、タンタルオキサイド層411の膜厚がタンタル層410の2~4倍(代表的には3倍)程度に厚くなるようにする。このような構成とすることにより、後の高抵抗領域の上方に存在しているタンタル層をタンタルオキサイド層411に完全に変成し、TFTとして正常な動作を行う構造とする。

【0110】次に、活性層403に不純物イオンを添加する。この工程は実施例1で説明した工程でおこえはよく、図6(E)に示すように活性層403にソース領域404、ドレイン領域405、チャネル形成領域406、高抵抗領域407、408が形成される。これ以降は、実施例1と同様に、シリサイド化工程等を行いTFTを完成させればよい。

【0111】【実施例4】本実施例を図7を用いて説明

する。本実施例は、実施例 1 の T F T において、金属層（タンタル層 110）と、アルミニウム層 120 である 2 層ゲート電極、配線と他の配線の接続方法について説明する。なお、図 7 に示す T F T は図 1 と同じ構成であり、符号を省略した。

【0112】従来のアルミニウム単層のゲート電極構造では、無孔質アルミナ層を除去するために、アルミ混酸（リン酸、酢酸、硝酸、水を体積％で 85:5:5:5 の比で混合した酸）とクロム酸溶液とを混合した酸（ここではクロム混酸と呼ぶ）を用いている。クロム混酸を用いた場合には、ゲート絶縁膜や下地膜を構成する酸化珪素膜との選択比がとれず、ゲート絶縁膜や下地膜までエッチングされてしまっていた。なお、クロム混酸とは、上記のアルミ混酸 10・に対してクロム酸溶液（クロム酸 350g と水 150g を混合した溶液）550g を混合した酸である。

【0113】本実施例では、図 7 に示すように、クロム混酸に対して選択比を有するタンタルをゲート電極・配線の下層に形成したことにより、タンタル層 110 がエッチングストップとして機能し、また、引出配線 160 と電気的な接続をすることもできる。なお図 7 ではゲート配線が活性層と交差するゲート電極部で引出配線 160 との接続を行ったが、他の部分でゲート配線と引出配線 160 とのコンタクトをとっても良い。

【0114】【実施例 5】 図 8 を用いて本実施例を説明する。本実施例は実施例 1 の変形例であり、ソース／ドレイン領域のソース／ドレイン電極との接続部上にコンタクトパッドを形成する例を示す。

【0115】実施例 3 で説明したように、画素 T F T の層間絶縁膜は平坦な表面を得るために、800nm～1μm のように比較的厚く形成される。また、本発明ではソース／ドレイン領域の表面をシリサイド化、もしくはソース／ドレイン領域を全てシリサイド化してしまうため、ソース／ドレイン電極との接続をため、上記のように厚い層間絶縁膜にコンタクトホールを形成するには問題が生ずる。

【0116】コンタクトホール形成のために、フッ酸によってウェットエッチングをした場合には、タンタルシリサイド層がエッチングされてしまう。また、フッ素系ガスによってドライエッチングを用いた場合には、下地膜やゲート絶縁膜に利用されている酸化珪素膜や窒化珪素膜と選択比がとれないため、層間絶縁膜が厚いとエッチングに時間がかかるため、下地膜やゲート絶縁膜がエッチングされてしまう危険がある。

【0117】本実施例は上述した問題を解消したものである。以下、図 8 を用いてコンタクトホールの形成工程を説明する。まず実施例 1 で説明した作製方法に従って、図 4 (O) に示す状態を得る。図 8 (A) は図 4 (O) に対応しており、500 は基板、501 は下地膜である。多結晶シリコンでなる活性層には、ソース領域

504、ドレイン領域 505、チャネル形成領域 506、高抵抗領域 507、508 が自己整合的に形成され、ソース／ドレイン領域 505、504 には、タンタル膜 515 との反応によってシリサイド層 504a、505a が形成されている。509 は熱酸化膜と堆積絶縁膜とでなるゲート絶縁膜である。ゲート電極は、タンタル層 110、アルミニウム層 520 とでなる導電層を有し、また当該導電膜の珪酸酸化物であるタンタルオキシサイド層 111 と、アルミナ層 121 とで被覆されている。

【0118】本実施例では、ソース／ドレイン領域 504、505 の表面をシリサイド化した後、未反応のタンタル膜 515 を残存させたまま、スputter 法によりアルミニウム膜 550 を厚さ 600～1000nm の厚さに成膜する。（図 8 (B)）

【0119】次に、アルミニウム膜 550 のみをパターンニングして、ソース／ドレイン電極とのコンタクトパッド 551、552 を構成するアルミニウム層 551a、552a を形成する。パターンニングにはタンタル膜 515 とのエッチング選択比をとるため、実施例 1 で示したアルミ混酸を用いたウェットエッチングを用いる。（図 8 (C)）

【0120】次に、アルミニウム層 551a、552a をマスクにしてタンタル膜 515 をパターンニングし、コンタクトパッド 551、552 を構成するタンタル層 551b、552b を形成する。パターンニングにはここでは過酸化水素溶液とアンモニア溶液を混合したエッチャントを用いて、タンタル膜 515 のみを選択的にパターンニングした。以上の工程によって、アルミニウム層 551a、552a とタンタル層 551b、552b の積層導電膜で構成されたコンタクトパッド 551 と 552 が形成される。（図 8 (D)）

【0121】次に、層間絶縁膜 530 を形成する。ここでは T E O S ガスと酸素ガスを原料ガスに用いて、プラズマ C V D 法にて、厚さ 900nm の酸化珪素膜を成膜した。そして、層間絶縁膜 530 にソース／ドレイン電極のコンタクトホールを形成する。ここでは、フッ酸によるウェットエッチングを行った。本実施例では、コンタクトホールの開口部に形成されたコンタクトパッド 551 と 552 がエッチングストップとして機能するため、シリサイド層 504a、505a がエッチングされるのを防ぐことができる。そして、スパッタ法でタンタル／アルミニウム／タンタルでなる積層膜を連続成膜し、パターンニングしてソース電極 541、ドレイン電極 542 を形成する。（図 8 (E)）

【0122】本実施例では、シリサイド工程で残存した未反応のタンタル膜をコンタクトパッド 551、552 として形成することによって、コンタクトホール形成時にシリサイド層 504a、505a がエッチングされることを防ぐことができる。また、コンタクトパッド 55

1、552のソース/ドレイン電極との接続部にチタンよりも低抵抗なアルミニウム層551a、552aすること、ソース/ドレイン電極との接続抵抗を下げることができる。本実施例ではチタンシリサイド層を形成する。先ずチタン(Ti)膜215をスパッタ法にて成膜した。膜厚は10~100nmここでは、50nmの厚さにする。この状態では、活性層103はソース/ドレイン領域104、105だけでチタン膜215と接している。そして、500~650℃の温度、ここでは550℃に加熱して、チタン膜215と、チタン膜215に接している活性層103とを反応させてシリサイド化した。この結果ソース/ドレイン領域104、105の表面には、チタンシリサイド層104a、105aが自己整合的に形成される。(図4(O))

【0123】【実施例6】 実施例1~5では、ゲート電極において、下層に設けられたタンタル層111を耐熱性の低いアルミニウム層120のブロッキング層として利用したが、タンタル層111を形成する代りに、ゲート絶縁膜に、ブロッキング効果の高い窒化珪素膜を形成するようにしても良い。この場合には、窒化珪素膜はアルミニウム層との界面でストレスが発生し易いため、ゲート絶縁膜とアルミニウム層との界面には窒化珪素膜を成膜すると良い。

【0124】本実施例ではゲート絶縁膜を形成する場合には(図3(G)参照)堆積絶縁膜として、厚さ5~30nmの窒化珪素膜と厚さ1~10nmの窒化珪素膜でなる積層膜をプラズマCVD法で連続成膜し、そして活性層を熱酸化して、窒化珪素膜との界面に熱酸化膜を形成すればよい。なお、基板の耐熱性のため、熱酸化工程が実施できない場合には、プラズマCVD法で酸化珪素膜、窒化珪素膜、窒化珪素膜を連続成膜すればよい。

【0125】【実施例7】 実施例1~6に示した構成を含むアクティブマトリクス基板(素子形成側基板)を用いてAMLCDを構成した場合の例について説明する。ここで本実施例のAMLCDの外観を図9に示す。

【0126】図9(A)において、801はアクティブマトリクス基板であり、画素駆動回路802、ソース側駆動回路803、ゲート側駆動回路804が形成されている。駆動回路はN型TFTとP型TFTとを相補的に組み合わせたCMOS回路で構成することが好ましい。また、805は対向基板である。

【0127】図9(A)に示すAMLCDはアクティブマトリクス基板801と対向基板805とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板805を取り除き、露出したアクティブマトリクス基板に対してFPC(フレキシブル・プリント・サーキット)806を接続している。このFPC806によって外部信号を回路内部へと伝達する。

【0128】また、FPC806を取り付ける面を利用

してICチップ807、808が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図9(A)では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0129】また、図9(B)の様な構成もとりうる。図9(B)において図9(A)と同一の部分は同じ符号を付してある。ここでは図9(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路809によって行う例を示している。この場合、ロジック回路809も駆動回路803、804と同様にCMOS回路を基本として構成される。

【0130】また、本実施例のAMLCDはブラックマスクをアクティブマトリクス基板に設ける構成(BMN-TFT)を採用するが、それに加えて対向側にブラックマスクを設ける構成とすることも可能である。

【0131】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB(電界制御複屈折)モード、GH(ゲストホスト)モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0132】また、特開平8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0133】【実施例8】本願発明の構成は、AMLCD以外にも他の様々な電気光学装置や半導体回路に適用することができる。

【0134】AMLCD以外の電気光学装置としてはEL(エレクトロルミネッセンス)表示装置やイメージセンサ等を挙げることができる。

【0135】また、半導体回路としては、ICチップで構成されるマイクロプロセッサの様な演算処理回路、携帯機器の入出力信号を扱う高周波モジュール(MMICなど)が挙げられる。

【0136】このように本発明は絶縁ゲート型トランジスタで構成される回路によって機能する全ての半導体装置に対して適用することが可能である。

【0137】【実施例9】実施例2に示したAMLCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。

【0138】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ(ノート型を含む)、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図10に示す。

【0139】図10(A)は携帯電話であり、本体3001、音声出力部3002、音声入力部3003、表示装置3004、操作スイッチ2005、アンテナ300

6で構成される。本願発明は音声出力部3002、音声入力部3003、表示装置3004等に適用することができる。

【0140】図10(B)はビデオカメラであり、本体3101、表示装置3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106で構成される。本願発明は表示装置3102、音声入力部3103、受像部3106に適用することができる。

【0141】図10(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体3201、カメラ部3202、受像部3203、操作スイッチ3204、表示装置3205で構成される。本願発明は受像部3203、表示装置3205等に適用できる。

【0142】図10(D)はヘッドマウントディスプレイであり、本体3301、表示装置3302、バンド部3303で構成される。本願発明は表示装置3302に適用することができる。

【0143】図10(E)はリア型プロジェクターであり、本体3401、光源3402、表示装置3403、偏光ビームスプリッタ3404、リフレクター3405、3406、スクリーン3407で構成される。本願発明は表示装置3403に適用することができる。

【0144】図10(F)はフロント型プロジェクターであり、本体3501、光源3502、表示装置3503、光学系3504、スクリーン3505で構成される。本願発明は表示装置3503に適用することができる。

【0145】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0146】

【発明の効果】本発明を利用することで絶縁ゲート型トランジスタにおいて、ゲート電極としてアルミニウムまたはアルミニウムを主成分とする材料を用いても、加熱処理によってゲート電極と活性層との間で生じるショートなどの不良を防止することができる。よって、シリサイド化工程を用いることができるようになるため、ゲ-

ト電極の低抵抗化とソース/ドレイン領域のシート抵抗の低抵抗化が図る

【0147】また、高い歩留まりで信頼性の高い絶縁ゲート型トランジスタを作製することができ、そのようなトランジスタで構成される半導体回路で機能する電気光学装置や電気光学装置を搭載した電子機器の歩留まり向上が実現できる。

【図面の簡単な説明】

【図1】 実施例1のTFTの断面構成図。

【図2】 TFTの作製工程を示す図。

【図3】 TFTの作製工程を示す図。

【図4】 TFTの作製工程を示す図。

【図5】 実施例2のアクティブマトリクス基板の断面構成図。

【図6】 実施例3のTFTの作製工程を示す図。

【図7】 実施例4のTFTの断面構成図。

【図8】 実施例5のTFTの作製工程を示す図。

【図9】 実施例7のAMLCDの構成を示す図。

【図10】 実施例9の電子機器の構成を示す図。

【図11】 実施例1のゲート電極付近の構造を示すSEM写真及びその模式図。

【図12】 実施例1のゲート電極付近の構造を示すSEM写真。

【図13】 本発明の構成を説明するためのTFTの断面構成図。

【符号の簡単な説明】

100 基板

103 活性層

104 ソース領域

104a シリサイド層

105 ドレイン領域

105a シリサイド層

110 タンタル層

111 タンタルオキシド層(錫触媒酸化物層)

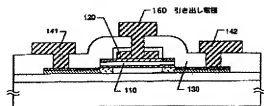
120 アルミニウム層

121 アルミナ層(錫触媒酸化物層)

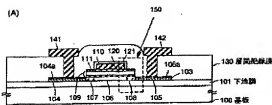
141 ソース電極

142 ドレイン電極

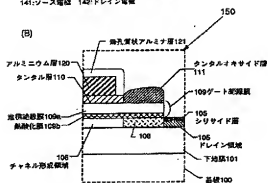
【図7】



【図1】

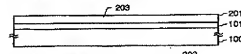


103:活性層 104:ソース電極 105:ドレイン領域 106:チャネル形成領域  
107:105a:活性層領域 108a:106a:シリサイド層  
109:ゲート絶縁膜  
110:タンタル層 111:タンタルオキシド層  
102:アルミニウム層 120:溝孔貫通アルミ層  
141:ソース電極 142:ドレイン電極

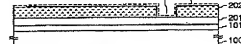


【図2】

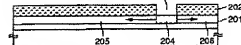
(A) 非晶質シリコン膜201成膜工程



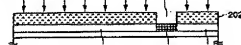
(B) ニッケル添加工程



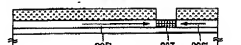
(C) 前晶化のための加熱処理工程



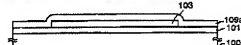
(D) リンの添加工程



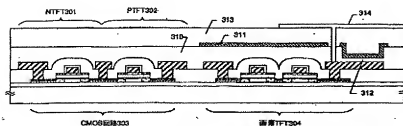
(E) ゲッタリングのための加熱処理



(F) 活性層103、増反絶縁膜109aの形成工程



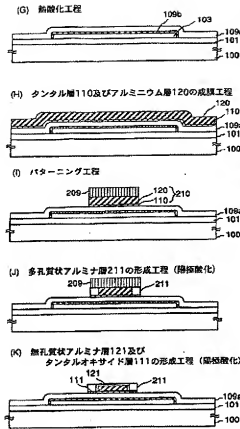
【図5】



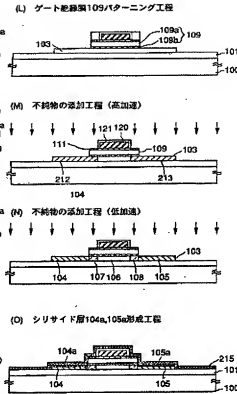
310:第1の平坦化膜 311:ブラックマスク 312:補助電極  
313:第2の平坦化膜 314:建素電極



【図3】

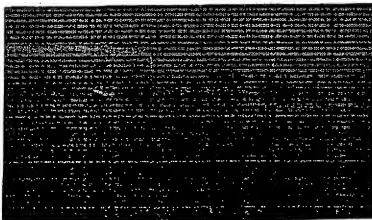


【図4】

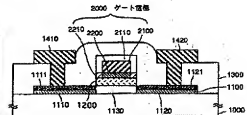


【図12】

図面代用写真



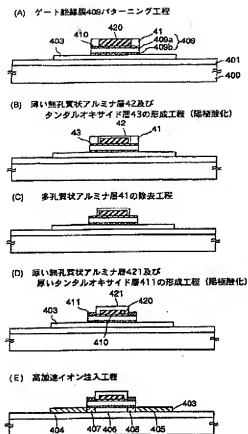
【図13】



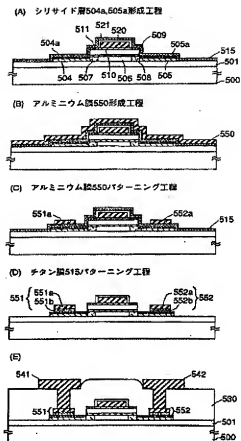
1000 基層  
1100 活性層  
1110 センサー領域  
1120 シリサイド層  
1130 シリサイド層  
1140 ゲート電極  
1150 ゲート電極  
1160 ゲート電極  
1170 ゲート電極  
1180 ゲート電極  
1190 ゲート電極  
1200 ゲート電極  
1210 ゲート電極  
1220 ゲート電極  
1230 ゲート電極  
1240 ゲート電極  
1250 ゲート電極  
1260 ゲート電極  
1270 ゲート電極  
1280 ゲート電極  
1290 ゲート電極  
1300 ゲート電極  
1310 ゲート電極  
1320 ゲート電極  
1330 ゲート電極  
1340 ゲート電極  
1350 ゲート電極  
1360 ゲート電極  
1370 ゲート電極  
1380 ゲート電極  
1390 ゲート電極  
1400 ゲート電極  
1410 ゲート電極  
1420 ゲート電極  
1430 ゲート電極  
1440 ゲート電極  
1450 ゲート電極  
1460 ゲート電極  
1470 ゲート電極  
1480 ゲート電極  
1490 ゲート電極  
1500 ゲート電極  
1510 ゲート電極  
1520 ゲート電極  
1530 ゲート電極  
1540 ゲート電極  
1550 ゲート電極  
1560 ゲート電極  
1570 ゲート電極  
1580 ゲート電極  
1590 ゲート電極  
1600 ゲート電極  
1610 ゲート電極  
1620 ゲート電極  
1630 ゲート電極  
1640 ゲート電極  
1650 ゲート電極  
1660 ゲート電極  
1670 ゲート電極  
1680 ゲート電極  
1690 ゲート電極  
1700 ゲート電極  
1710 ゲート電極  
1720 ゲート電極  
1730 ゲート電極  
1740 ゲート電極  
1750 ゲート電極  
1760 ゲート電極  
1770 ゲート電極  
1780 ゲート電極  
1790 ゲート電極  
1800 ゲート電極  
1810 ゲート電極  
1820 ゲート電極  
1830 ゲート電極  
1840 ゲート電極  
1850 ゲート電極  
1860 ゲート電極  
1870 ゲート電極  
1880 ゲート電極  
1890 ゲート電極  
1900 ゲート電極  
1910 ゲート電極  
1920 ゲート電極  
1930 ゲート電極  
1940 ゲート電極  
1950 ゲート電極  
1960 ゲート電極  
1970 ゲート電極  
1980 ゲート電極  
1990 ゲート電極  
2000 ゲート電極

2000 ゲート電極  
2100 金属層  
2110 金属層  
2120 金属層  
2130 金属層  
2140 金属層  
2150 金属層  
2160 金属層  
2170 金属層  
2180 金属層  
2190 金属層  
2200 金属層  
2210 金属層  
2220 金属層  
2230 金属層  
2240 金属層  
2250 金属層  
2260 金属層  
2270 金属層  
2280 金属層  
2290 金属層  
2300 金属層  
2310 金属層  
2320 金属層  
2330 金属層  
2340 金属層  
2350 金属層  
2360 金属層  
2370 金属層  
2380 金属層  
2390 金属層  
2400 金属層  
2410 金属層  
2420 金属層  
2430 金属層  
2440 金属層  
2450 金属層  
2460 金属層  
2470 金属層  
2480 金属層  
2490 金属層  
2500 金属層  
2510 金属層  
2520 金属層  
2530 金属層  
2540 金属層  
2550 金属層  
2560 金属層  
2570 金属層  
2580 金属層  
2590 金属層  
2600 金属層  
2610 金属層  
2620 金属層  
2630 金属層  
2640 金属層  
2650 金属層  
2660 金属層  
2670 金属層  
2680 金属層  
2690 金属層  
2700 金属層  
2710 金属層  
2720 金属層  
2730 金属層  
2740 金属層  
2750 金属層  
2760 金属層  
2770 金属層  
2780 金属層  
2790 金属層  
2800 金属層  
2810 金属層  
2820 金属層  
2830 金属層  
2840 金属層  
2850 金属層  
2860 金属層  
2870 金属層  
2880 金属層  
2890 金属層  
2900 金属層  
2910 金属層  
2920 金属層  
2930 金属層  
2940 金属層  
2950 金属層  
2960 金属層  
2970 金属層  
2980 金属層  
2990 金属層  
3000 金属層

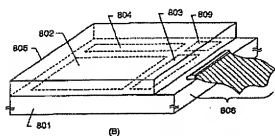
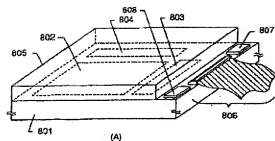
【図6】



【図8】

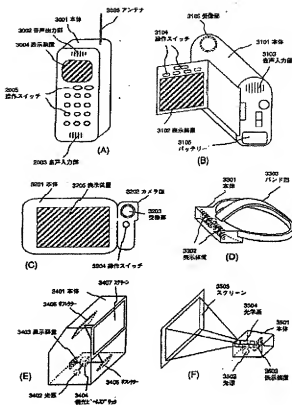


【図9】



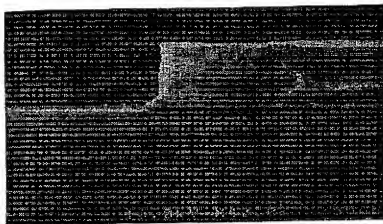
801: アラテップマトリクス基板 802: 変変マトリクス回路  
 803: リース伝導配回路 804: ゲイト回路配回路 805: 知能基板  
 806: PPC 807, 808: ICチップ 809: ロジック回路

【図10】

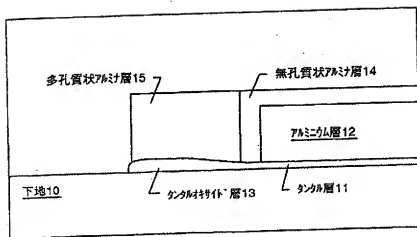


【図11】

## 図面代用写真



(A)



(B)

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 1 7 M